

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0040806
Application Number PATENT-2002-0040806

출원년월일 : 2002년 07월 12일
Date of Application JUL 12, 2002

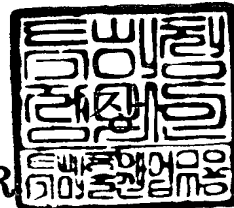
출원인 : 삼성전자 주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 01 월 10 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【제출일자】 2002.07.12
【발명의 명칭】 다마신 비트라인공정을 이용한 반도체 메모리장치 및 그의 제조방법
【발명의 영문명칭】 Semiconductor memory device using Damascene bit line and method for fabricating the same
【출원인】
【명칭】 삼성전자 주식회사
【출원인코드】 1-1998-104271-3
【대리인】
【성명】 박상수
【대리인코드】 9-1998-000642-5
【포괄위임등록번호】 2000-054081-9
【발명자】
【성명의 국문표기】 송두헌
【성명의 영문표기】 SONG,DU HEON
【주민등록번호】 640130-1023719
【우편번호】 449-913
【주소】 경기도 용인시 구성면 보정리 진산마을 삼성5차 APT 511동 1203호
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박상수 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 26 면 26,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 24 항 877,000 원
【합계】 932,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 스토리지노드용 콘택플러그를 형성하고 다마신 비트라인을 형성하여 줌으로써 층간 절연막의 보이드에 의한 브리지 페일을 방지할 수 있을 뿐만 아니라 비트라인 스페이서의 크기축소에 따른 비트라인과 스토리지 노드콘택간의 누설전류를 방지할 수 있는 반도체 메모리장치 및 그의 제조방법에 관한 것이다.

본 발명의 반도체 메모리장치의 제조방법은 다수의 게이트와 다수의 콘택패드를 구비한 반도체 기판을 제공하는 단계와; 기판전면에 층간 절연막을 형성하는 단계와; 층간 절연막을 식각하여 상기 콘택패드중 해당하는 콘택패드를 노출시키는 스토리지노드콘택을 형성하는 단계와; 상기 스토리지노드콘택에 콘택플러그를 형성하는 단계와; 상기 층간 절연막을 식각하여 홈형태의 비트라인패턴을 형성하는 단계와; 상기 콘택패드중 해당하는 콘택패드가 노출되도록 상기 층간 절연막을 식각하여 비트라인콘택을 형성하는 단계와; 상기 비트라인콘택을 통해 상기 콘택패드에 연결되도록, 상기 비트라인패턴에 다마신 비트라인을 형성하는 단계를 구비한다.

【대표도】

도 18c

【명세서】**【발명의 명칭】**

다마신 비트라인공정을 이용한 반도체 메모리장치 및 그의 제조방법{Semiconductor memory device using Damascene bit line and method for fabricating the same}

【도면의 간단한 설명】

도 1A 내지 도 6A는 종래의 반도체 메모리장치의 제조방법을 설명하기 위한 단면도,

도 1B 내지 도 6B는 종래의 반도체 메모리장치의 제조방법을 설명하기 위한 평면도

도 7A 내지 도 18A는 및 도 15C 내지 도 18C는 본 발명의 일 실시예에 따른 반도체 메모리장치의 제조방법을 설명하기 위한 단면도,

도 7B 내지 도 18B는 본 발명의 일 실시예에 따른 반도체 메모리장치의 제조방법을 설명하기 위한 평면도,

도 19A 및 도 19C는 본 발명의 다른 실시예에 따른 반도체 메모리장치의 제조방법을 설명하기 위한 단면도,

도 19B는 본 발명의 다른 실시예에 따른 반도체 메모리장치의 제조방법을 설명하기 위한 평면도,

도면의 주요부분에 대한 부호의 설명

200, 400 : 반도체 기판

201, 401 : 비활성영역

205, 405 : 활성영역

210, 410 : STI 소자분리막

220 : 희생게이트	225, 245 : 개구부
230, 460 : 콘택패드	240, 440, 270, 470 : 층간 절연막
250, 300, 430, 500 : 스페이서	260, 420 : 게이트
275, 475 : 스토리지노드콘택	280, 480 : 스토리지노드용 콘택플러그
290, 490 : 비트라인패턴	310, 510 : 비트라인콘택
320, 520 : 비트라인	330, 530 : 비트라인 캡핑층

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <16> 본 발명은 반도체 메모리 장치에 관한 것으로서, 보다 구체적으로는 스토리지노드 콘택을 형성한 다음 다마신비트라인공정을 통해 비트라인을 형성하여 줌으로써, 보이드 발생에 의한 브리지발생을 방지하고 및 누설전류를 감소시킬 수 있는 DRAM셀 및 그의 제조방법에 관한 것이다.
- <17> 반도체 소자의 크기가 축소됨에 따라 셀피치(cell pitch)가 감소하고, 셀피치의 감소에 따라 층간절연막의 캡핑불량에 의한 보이드발생, 보이드에 의한 스토리지노드 콘택 간의 브리지페일발생, 그리고 비트라인 스페이서의 크기축소(length scaling down)에 따른 비트라인과 스토리지노드콘택간에 누설전류 등의 문제점이 더욱 심각해지고 있다.
- <18> 도 1A 내지 도 6A는 종래의 반도체 메모리장치의 제조방법을 설명하기 위한

단면도이고, 도 1B 내지 도 6B는 종래의 반도체 메모리장치의 제조방법을 설명하기 위한 평면도를 도시한 것이다. 이때, 도 1A 내지 도 4A는 도 6B의 1A-1A'선에 따른 공정단면도를 도시한 것이고, 도 5A 및 도 6A는 도 6의 평면구조를 갖는 반도체 메모리장치에 있어서 비트라인과 스토리지 노드콘택간의 관계를 보여주기 위한 단면도이다.

<19> 도 1A 및 도 1B를 참조하면, 반도체 기판(100)은 비활성영역(101)과 활성영역(105)으로 구분되고, 통상적인 STI(shallow trench isolation) 공정을 수행하여 반도체 기판(100)의 비활성영역(101)에 소자분리막(110)을 형성한다.

<20> 도 2A 및 도 2B를 참조하면, 반도체 기판(100)상에 상기 활성영역(105)과 교차하는 게이트(120)를 형성한다. 즉, 기판전면에 게이트 절연막(121), 폴리실리콘막(123), 텅스텐막(125)과 캡핑용 질화막(127)을 순차 증착하고, 게이트형성용 마스크(도면상에는 도시되지 않음)를 이용하여 패터닝하여 게이트(120)를 형성한다. 이어서, 상기 게이트(120)의 측벽에 질화막으로 된 스페이서(130)를 형성한다.

<21> 도 3A 및 도 3B를 참조하면, 기판전면에 제1층간 절연막(140)을 증착한 다음 통상적인 셀프얼라인 콘택공정을 수행하여 셀프얼라인콘택(SAC, self-aligned contact)(150)을 형성하고, SAC 콘택패드용 도전막, 예를 들면 폴리실리콘막을 증착한 다음 화학기계적 연마공정(CMP) 또는 에치백공정을 수행하여 SAC 콘택패드(160)를 형성한다.

<22> 도 4A 및 도 4B를 참조하면, 기판전면에 제2층간 절연막(170)을 증착한 다음 패터닝하여, 상기 SAC 콘택패드(160)중 비트라인과 연결되는 SAC 콘택패드가 노출되도록 비트라인콘택(175)을 형성한다.

<23> 도 5A 및 도 5B를 참조하면, 기판전면에 비트라인용 도전물질과 컵핑용 절연물질로 질화막을 증착한다. 이어서, 상기 비트라인용 도전물질과 컵핑용 절연물질을 패터닝하여 상기 비트라인 콘택(175)을 통해 상기 SAC 콘택패드(160)와 연결되는 컵핑층(185)을 구비한 비트라인(180)을 형성한다.

<24> 도 6A 및 도 6B를 참조하면, 기판전면에 제3층간 절연막(190)을 증착한 다음, 상기 제3층간 절연막(190)을 패터닝하여 비트라인콘택(175) 양측의 SAC 콘택(160)을 노출시키는 스토리지 노드콘택(195)을 형성한다. 도면상에는 도시되지 않았으나, 통상적인 캐패시터 형성공정을 통해 상기 스토리지 노드콘택(195)을 통해 상기 SAC 콘택패드(160)와 연결되는 캐패시터를 형성하면 본 발명의 DRAM 소자가 얻어진다.

<25> 상기한 바와같은 종래의 DRAM 소자의 제조방법은 소자의 크기축소에 따른 셀피치의 감소로 인하여 비트라인 스페이서의 두께가 감소하고, 상기 스페이서의 두께감소에 따라 비트라인과 스토리지 노드콘택사이에 누설전류가 흐르고, 제3층간 절연막의 겹필불량에 따른 보이드가 발생하고 이에 따라 스토리지 노드콘택사이에 브리지페일이 발생하며, 스토리지 노드콘택의 오버레이마진이 감소하는 문제점이 있었다.

【발명이 이루고자 하는 기술적 과제】

<26> 본 발명의 목적은 상기한 바와같은 종래 기술의 문제점을 해결하기 위한 것으로서, 비트라인콘택 형성전에 스토리지 노드콘택을 형성하여 줌으로써 스토리지 노드콘택의 크기를 증가시켜 콘택저항을 감소시킬 수 있을 뿐만 아니라 스토리지 노드콘택의 오버레이마진을 증가시킬 수 있는 반도체 메모리장치 및 그의 제조방법을 제공하는 데 그 목적이 있다.

- <27> 본 발명의 다른 목적은 다마신 비트라인을 형성하여 줌으로써 층간 절연막의 보이드발생에 의한 브리지페일을 방지할 수 있는 반도체 메모리장치 및 그의 제조방법을 제공하는 데 있다.
- <28> 본 발명의 또 다른 목적은 비트라인의 스페이서를 고유전물질로 형성하여 줌으로써, 비트라인과 스토리지 노드콘택간의 누설전류의 흐름을 방지할 수 있는 반도체 메모리장치 및 그의 제조방법을 제공하는 데 있다.
- <29> 본 발명의 또 다른 목적은 다마신 게이트공정과 실리콘 에피택셜공정을 이용하여 층간 절연막의 보이드발생에 의한 패드간 브리지발생을 방지할 수 있는 반도체 메모리장치 및 그의 제조방법을 제공하는 데 있다.
- <30> 본 발명의 또 다른 목적은 게이트 스페이서를 고유전물질로 형성하여 줌으로써 게이트와 SAC 콘택패드간의 누설전류를 방지할 수 있는 반도체 메모리장치 및 그의 제조방법을 제공하는 데 있다.
- <31> 본 발명의 다른 목적은 오픈영역감소 및 계면처리에 따른 콘택저항의 증가를 방지하고, 콘택오픈불량을 방지할 수 있는 반도체 메모리장치 및 그의 제조방법을 제공하는 데 있다.
- <32> 본 발명의 또 다른 목적은 비트라인콘택의 오버레이마진을 충분히 확보할 수 있는 반도체 메모리장치 및 그의 제조방법을 제공하는 데 있다.

【발명의 구성 및 작용】

- <33> 이와 같은 목적을 달성하기 위한 본 발명은 다수의 게이트와 다수의 콘택패드를 구비한 반도체 기판과; 기판전면에 형성되고, 상기 콘택패드중 해당하는 콘택패드를 각각

노출시키는 스토리지 노드콘택과 비트라인콘택을 구비하고, 홈형태의 비트라인패턴을 구비한 층간 절연막과; 상기 스토리지 노드콘택에 형성된 스토리지 노드용 콘택플러그와; 상기 비트라인콘택을 통해 상기 콘택패드와 연결되도록, 상기 비트라인패턴에 형성된 다마신 비트라인을 구비하는 반도체 메모리장치를 제공하는 것을 특징으로 한다.

<34> 또한, 본 발명은 반도체 기판상에 형성되고, 게이트 절연막, 게이트 절연물질 및 캡핑층의 적층구조를 갖으며 그의 측벽에 스페이서가 형성된 다수의 게이트와; 상기 게이트사이의 기판을 노출시키는 다수의 SAC 콘택을 구비하는 제1층간 절연막과; 상기 다수의 SAC 콘택에 각각 형성되는 다수의 콘택패드와; 기판전면에 형성되고, 상기 콘택패드중 해당하는 콘택패드를 노출시키는 스토리지노드콘택과 비트라인콘택을 구비하고, 홈형태의 비트라인패턴을 구비한 제2층간 절연막과; 상기 스토리지 노드콘택에 형성된 스토리지 노드용 콘택플러그와; 상기 비트라인콘택을 통해 상기 콘택패드와 연결되도록, 상기 비트라인패턴에 형성된 다마신 비트라인을 구비하는 것을 특징으로 하는 반도체 메모리장치를 제공하는 것을 특징으로 한다.

<35> 또한, 본 발명은 반도체 기판상에 형성된 다수의 콘택패드와; 상기 콘택패드사이에 형성된 캡핑층을 구비한 다마신 게이트와; 상기 다마신 게이트의 저면 및 측벽에 형성된 절연막과; 상기 콘택패드와 상기 캡핑층이 노출되도록 기판전면에 형성된 제1층간 절연막과; 기판전면에 형성되고, 상기 콘택패드중 해당하는 콘택패드를 노출시키는 스토리지노드콘택과 비트라인콘택을 구비하고, 홈형태의 비트라인패턴을 구비한 2층간 절연막과; 상기 스토리지 노드콘택에 형성된 스토리지 노드용 콘택플러그와; 상기 비트라인콘택을 통해 상기 콘택패드와 연결되도록, 상기 비트라인패턴에 형성된 다마신 비트라인을 구비하는 것을 특징으로 하는 반도체 메모리장치를 제공하는 것을 특징으로 한다.

<36> 또한, 본 발명은 다수의 게이트와 다수의 콘택패드를 구비한 반도체 기판을 제공하는 단계와; 기판전면에 층간 절연막을 형성하는 단계와; 층간 절연막을 식각하여 상기 콘택패드중 해당하는 콘택패드를 노출시키는 스토리지노드콘택을 형성하는 단계와; 상기 스토리지노드콘택에 콘택플러그를 형성하는 단계와; 상기 층간 절연막을 식각하여 홈형태의 비트라인패턴을 형성하는 단계와; 상기 콘택패드중 해당하는 콘택패드가 노출되도록 상기 층간 절연막을 식각하여 비트라인콘택을 형성하는 단계와; 상기 비트라인콘택을 통해 상기 콘택패드에 연결되도록, 상기 비트라인패턴에 다마신 비트라인을 형성하는 단계를 구비하는 반도체 메모리장치의 제조방법을 제공하는 것을 특징으로 한다.

<37> 또한, 본 발명은 반도체 기판상에 게이트 절연막, 게이트 절연물질 및 캡핑층의 적층구조를 갖는 다수의 게이트를 형성하는 단계와; 기판전면에 제1층간 절연막을 형성하는 단계와; 상기 게이트사이의 기판이 노출되도록 상기 제1층간 절연막을 식각하여 다수의 SAC 콘택을 형성하는 단계와; 상기 다수의 SAC 콘택에 다수의 콘택패드를 형성하는 단계와; 기판전면에 제2층간 절연막을 형성하는 단계와; 제2층간 절연막을 식각하여 상기 콘택패드중 해당하는 콘택패드를 노출시키는 스토리지노드콘택을 형성하는 단계와; 상기 스토리지노드콘택에 콘택플러그를 형성하는 단계와; 상기 제2층간 절연막을 식각하여 홈형태의 비트라인패턴을 형성하는 단계와; 상기 콘택패드중 해당하는 콘택패드가 노출되도록 상기 제2층간 절연막을 식각하여 비트라인콘택을 형성하는 단계와; 상기 비트라인콘택을 통해 상기 콘택패드에 연결되도록, 상기 비트라인패턴에 다마신 비트라인을 형성하는 단계를 구비하는 반도체 메모리장치의 제조방법을 제공하는 것을 특징으로 한다.

<38> 또한, 본 발명은 반도체 기판상에 희생 게이트 절연막과 희생게이트를 형성하는 단계와; 상기 희생게이트사이의 노출된 기판상에 콘택패드를 형성하는 단계와; 상기 콘택패드와 희생게이트가 노출되도록 기판전면에 제1층간 절연막을 형성하는 단계와; 상기 희생 게이트 절연막을 포함한 희생게이트를 제거하여 기판을 노출시키는 개구부를 형성하는 단계와; 상기 개구부내에 저면과 측벽에 절연막과 그의 상면에 캡핑층을 구비한 게이트를 형성하는 단계와; 기판전면에 제2층간 절연막을 형성하는 단계와; 제2층간 절연막을 식각하여 상기 콘택패드를 노출시키는 스토리지노드콘택을 형성하는 단계와; 상기 스토리지노드콘택에 콘택플러그를 형성하는 단계와; 상기 제2층간 절연막을 식각하여 홈 형태의 비트라인패턴을 형성하는 단계와; 상기 콘택패드가 노출되도록 상기 제2층간 절연막을 식각하여 비트라인콘택을 형성하는 단계와; 상기 비트라인콘택을 통해 상기 콘택패드에 연결되도록, 상기 비트라인패턴에 다마신 비트라인을 형성하는 단계를 구비하는 반도체 메모리장치의 제조방법을 제공하는 것을 특징으로 한다.

<39> 이하, 본 발명을 보다 구체적으로 설명하기 위하여 본 발명에 따른 실시예를 첨부도면을 참조하면서 보다 상세하게 설명하고자 한다.

<40> 도 7A 내지 18A와 도 15C 내지 도 18C는 본 발명의 일 실시예에 따른 반도체 메모리장치의 제조방법을 설명하기 위한 단면도를 도시한 것이고, 도 7B 내지 도 18B는 본 발명의 일 실시예에 따른 반도체 메모리장치의 제조방법을 설명하기 위한 평면도를 도시한 것이다. 이때, 도 7A 내지 도 18A는 도 18B의 2A-2A'선에 따른 단면구조를 도시한 것이고, 도 15C 내지 도 18C는 도 18B의 2B-2B'선에 따른 단면구조를 도시한 것이다.

<41> 도 7A 및 도 7B를 참조하면, 반도체 기판(200)은 비활성영역(201)과 활성영역(205)으로 한정된다. 상기 반도체 기판(200)의 비활성영역(201)에 통상적인 STI 공정을 수행

하여 STI 소자분리막(210)을 형성한다. 상기 STI 소자분리막(210)에 의해 이웃하는 액티브영역(205)을 분리시켜준다.

<42> 도 8A 및 도 8B를 참조하면, 기판전면에 희생산화공정을 통해 산화막을 형성하고, 그위에 질화막을 증착한다. 게이트 형성용 마스크(도면상에는 도시되지 않음)를 이용하여 상기 질화막과 산화막을 패터닝하여 희생 게이트 절연막(도면상에는 도시되지 않음)을 구비한 희생게이트(disposable gate) (220)를 형성한다. 이때, 희생게이트(220)는 상기 활성영역(205)과 교차하도록 형성되는데, 후속공정에서 형성되는 게이트와 동일한 형태로 형성된다. 상기 희생게이트(220)의 형성에 따라 액티브영역(205)중 콘택패드가 형성될 부분을 노출시키는 개구부(225)가 형성된다.

<43> 도 9A 및 도 9B를 참조하면, 개구부(225)에 의해 노출된 액티브영역(205)상에 실리콘막을 이방성(anisotropic) 에피택셜성장시켜 콘택패드(230)를 형성한다. 이때, 상기 선택적 에피택셜공정을 이용하여 콘택패드(230)를 형성하는 대신, 기판전면에 폴리실리콘막을 증착한 다음 CMP 또는 에치백하여 콘택패드를 형성할 수도 있다. 도 10A 및 도 10B를 참조하면, 기판전면에 제1층간 절연막(240)을 증착한 다음 CMP하여 평탄화시킨다.

<44> 본 발명의 일 실시예에서는, 콘택패드(230)를 형성한 후에 제1층간 절연막(240)을 형성하여 줌으로써, 층간 절연막의 보이드발생에 의한 패드간 브리지패일을 방지할 수 있으며, 또한 콘택오픈영역의 감소에 따른 오픈불량 그리고 액티브영역과 콘택패드와의 접촉면적 감소 및 계면처리에 의한 콘택저항의 증가를 방지할 수 있다.

- <45> 도 11A 및 도 11B를 참조하면, 희생 게이트 절연막을 포함한 상기 희생게이트(220)를 제거하여 개구부(245)를 형성한다. 도 12A 및 도 12B를 참조하면, 열산화공정을 통해 산화막(250)을 성장시키고, 기판전면에 게이트전극물질을 증착한 다음 CMP 하여 희생게이트(220)의 제거에 따라 형성된 개구부(245)에 다마신 게이트(260)를 형성한다.
- <46> 상기 산화막(250)중 게이트(260)의 하부에 형성된 부분(251)은 게이트 절연막으로서의 역할을 수행하고, 게이트(260)의 측벽에 형성된 부분은 게이트 스페이서로 작용한다. 상기 게이트(260)는 폴리실리콘막과 텅스텐과 같은 금속막의 적층구조, 텅스텐과 같은 금속막의 단일구조, 폴리실리콘막과 실리사이드막의 적층구조 등 다양한 구조를 가질 수 있다. 상기 산화막(250)을 열산화공정을 통하여 형성하는 대신에 Al_2O_3 , HF_2 , ZrO_2 , Ta_2O_5 등과 같은 고유전물질 또는 산화막을 증착 형성할 수도 있다.
- <47> 본 발명의 일 실시예에서는 한번의 열산화공정 또는 한번의 증착공정에 의해 산화막(250)으로 된 게이트절연막과 게이트 스페이서를 형성하여 준다. 이때, 상기 산화막(250)은 10-200 Å의 두께를 갖으며, 게이트 절연막과 게이트 스페이서는 거의 동일한 두께, 즉 7nm 이내의 두께차를 갖는다. 이는 열산화공정시에는 개구부(245)에 의해 노출되는 실리콘기판과 콘택패드(230)의 도핑농도차에 의해 산화속도가 달라지기 때문이고, 증착공정시에는 기판과 콘택패드간의 스텝커버리지 차이에 의해 증착되는 두께가 달라지기 때문이다.
- <48> 따라서, 게이트 스페이서로 유전특성(dielectric quality)이 우수한 열산화막 또는 고유전막을 형성하여 줌으로써, 게이트와 후속공정에서 형성되는 콘택패드와의 누설전류를 방지할 수 있다.

- <49> 도 13A 및 도 13B를 참조하면, 게이트(260)를 에치백하여 일부분 제거하고, 산화막 또는 질화막과 같은 절연막을 증착한 다음 CMP하여 게이트(260)상부에 캡핑층(265)을 형성한다.
- <50> 도 14A 및 도 14B를 참조하면, 기판전면에 제2층간 절연막(270)을 증착한 다음 패터닝하여 상기 콘택패드(230)중 캐패시터에 연결될 콘택패드를 노출시키는 스토리지 노드콘택(275)을 형성한다. 이어서, 상기 스토리지 콘택(275)내에 스토리지노드용 콘택플러그(280)를 형성하는데, 상기 콘택플러그(280)는 콘택패드(230)와 마찬가지로 실리콘막을 이방성 에피택셜성장시켜 형성하거나, 또는 폴리실리콘막을 기판전면에 증착한 다음 CMP 또는 에치백하여 형성할 수도 있다.
- <51> 본 발명의 일 실시예에서는 제2층간 절연막(270)을 증착하고, 스토리지 노드콘택(275)이 형성되는 부분만을 패터닝한 다음 콘택플러그(280)를 형성하여 줌으로써, 스토리지 노드콘택(275)의 크기를 크게 형성하여 주는 것이 가능할 뿐만 아니라 스토리지노드콘택의 오버레이마진 문제를 해결할 수 있다.
- <52> 상기 스토리지 노드용 콘택플러그(280)의 하부의 단면길이는 콘택패드(230)의 단면길이보다 크게 되도록 콘택플러그(280)가 형성되는데, 도 18B의 2A-2A' 선에 따른 단면길이인 비트라인 방향으로의 단면길이와 도 18B의 2B-2B'선에 따른 단면길이인 게이트방향으로의 단면길이가 모두 콘택패드(230)의 단면길이보다 길게 형성된다.
- <53> 도 15A 내지 도 15C를 참조하면, 상기 제2층간 절연막(270)중 비트라인이 형성될 부분을 식각하여 홈형태의 비트라인패턴(290)을 형성한다. 이때, 비트라인패턴(290)은 상기 게이트(260)와 교차하도록 SAC 공정을 통하여 상기 제2층간 절연막(280)을 식각하여 홈형태로 형성한다.

- <54> 도 16A 내지 도 16C를 참조하면, 기판전면에 열산화공정을 통해 열산화막을 형성하거나 또는 증착공정을 통해 산화막 또는 상기의 고유전막을 증착하여 상기 비트라인 스페이서용 절연막(300)을 형성한다. 이어서, 상기 제2층간 절연막(270)을 식각하여 비트라인콘택(310)을 형성한다. 즉, 상기 스토리지 노드콘택(275)사이의 콘택패드(230)가 노출되도록 SAC공정을 통하여 상기 제2층간 절연막(270)을 식각하여 비트라인콘택(310)을 형성한다.
- <55> 도 17A 내지 도 17C를 참조하면, 기판전면에 비트라인용 도전물질을 기판전면에 증착한 다음, CMP공정을 통해 상기 비트라인용 도전물질을 식각하여 비트라인(320)을 상기 비트라인패턴(290)에 형성한다. 이로써, 상기 비트라인 콘택(310)을 통해 상기 콘택패드(230)에 연결되고, 상기 게이트(260)와 교차하는 비트라인(320)이 형성되어진다.
- <56> 도 18A 내지 도 18C를 참조하면, 상기 비트라인(320)을 일정두께만큼 에치백하고, 기판전면에 질화막을 증착한 다음 CMP 공정을 수행하여 상기 비트라인(320)이 식각된 부분에 비트라인 캡핑층(330)을 형성한다. 이때, 비트라인 캡핑층(330)의 게이트라인방향으로의 단면길이가 비트라인(320)의 게이트라인방향으로의 단면길이보다 길게 형성되어진다.
- <57> 이후, 도면상에는 도시되지 않았으나, 상기 스토리지 노드용 콘택플러그에 연결되는 캐패시터를 형성하면 본 발명의 일실시예에 따른 DRAM 소자가 얻어진다.
- <58> 도 19A 내지 도 19C는 본 발명의 다른 실시예에 따른 반도체 메모리장치의 제조방법을 설명하기 위한 도면으로서, 도 19A는 도 19B의 3A-3A'선에 따른 단면구조도이고, 도 19C는 도 19B의 3B-3B' 선에 따른 단면구조를 도시한 것이다.

- <59> 본 발명의 다른 실시예에 따른 반도체 메모리장치는 콘택패드를 형성하는 공정까지는 종래의 SAC 콘택패드를 형성하는 공정과 동일한 공정으로 진행되고, 그이후의 비트라인 및 스토리지 노드용 콘택패드를 형성하는 공정은 본 발명의 일 실시예에 따른 제조방법과 동일하다.
- <60> 먼저, STI 소자분리막(410)이 형성된 소자분리영역(401)과 액티브영역(405)을 구비한 반도체 기판(400)상에 게이트절연막(421), 게이트 전극물질(423) 및 게이트 캡핑층(427)의 적층구조를 갖는 게이트(420)가 형성되고, 상기 게이트(420)의 측벽에 질화막등으로 된 질화막 스페이서(430)를 형성한다.
- <61> 이어서, 제1층간 절연막(440)을 증착한 다음 CMP 하여 평탄화시키고, SAC 공정을 통해 상기 제1층간 절연막(440)을 식각하여 SAC 콘택(450)을 형성하고, 상기 SAC콘택(450)에 SAC 콘택패드(460)를 형성한다. 제2층간 절연막(470)을 증착한 다음, 상기 스토리지 노드가 연결될 SAC 콘택패드(460)를 노출시키는 스토리지 노드콘택(475)을 형성하고, 상기 스토리지 노드콘택(475)에 스토리지 노드용 콘택플러그(480)를 형성한다.
- <62> 다음, 후속공정에서 비트라인이 형성될 부분의 제2층간 절연막(470)을 식각하여 비트라인패턴(490)을 형성하고, 기판전면에 비트라인 스페이서용 절연막(500)으로 산화막 또는 고유전막을 열산화공정 또는 증착공정을 통해 형성한다.
- <63> 상기 SAC 콘택패드(460)중 비트라인이 연결될 부분의 콘택패드가 노출되도록 상기 제2층간 절연막(470)을 식각하여 비트라인콘택(510)을 형성하고, 다마신공정으로 다마신 비트라인(520)을 형성한다.

<64> 이어서, 상기 비트라인(520)을 일부분 식각하고 상기 비트라인(520)이 식각된 부분에 비트라인 캡핑층(530)을 형성한다. 이후 도면상에는 도시되지 않았으나, 스토리지 노드 형성공정 및 후속공정을 수행하여 캐패시터를 형성하면 본 발명의 다른 실시예에 따른 반도체 메모리장치가 얻어진다.

【발명의 효과】

<65> 상기한 바와같은 본 발명의 실시예에 따르면, 소자의 크기축소에 따른 층간 절연막의 갭필불량에 의한 보이드발생을 방지함과 동시에 브리지페일을 방지하고, 스토리지 노드 콘택과 비트라인 그리고 게이트와 콘택패드간의 누설전류의 흐름을 방지할 수 있다.

<66> 또한, 스토리지노드 콘택과 비트라인콘택의 오버레이마진을 충분히 확보할 수 있으며, 오픈불량을 방지하고 콘택저항을 감소시킬 수 있는 효과가 있다.

<67> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【특허청구범위】**【청구항 1】**

다수의 게이트와 다수의 콘택패드를 구비한 반도체 기판과;

기판전면에 형성되고, 상기 콘택패드중 해당하는 콘택패드를 각각 노출시키는 스토리지 노드콘택과 비트라인콘택을 구비하고, 홈형태의 비트라인패턴을 구비한 층간 절연막과;

상기 스토리지 노드콘택에 형성된 스토리지 노드용 콘택플러그와;

상기 비트라인콘택을 통해 상기 콘택패드에 연결되도록, 상기 비트라인패턴에 형성된 다마신 비트라인을 구비하는 것을 특징으로 하는 반도체 메모리장치.

【청구항 2】

제1항에 있어서, 상기 콘택패드와 상기 스토리지 노드용 콘택플러그는 에피택셜 실리콘막 또는 폴리실리콘막으로 이루어지는 것을 특징으로 하는 반도체 메모리장치.

【청구항 3】

제1항에 있어서, 상기 게이트는 제1방향으로 길게 연장형성되고, 상기 비트라인은 상기 게이트와 교차하는 제2방향으로 길게 연장형성되며, 상기 콘택플러그는 그의 저면의 제1 및 제2방향에서의 단면길이가 상기 콘택패드의 제1 및 제2방향에서의 단면길이보다 크게 되도록 형성되는 것을 특징으로 하는 반도체 메모리장치.

【청구항 4】

제3항에 있어서, 상기 비트라인은 상기 비트라인패턴내에 형성된 절연막과; 상기 절연막을 포함한 비트라인패턴내에 채워진 비트라인물질과; 비트라인물질상부에 형성된 캡핑층을 구비하는 것을 특징으로 하는 반도체 메모리장치.

【청구항 5】

제4항에 있어서, 상기 절연막은 상기 비트라인과 스토리지 노드용 콘택플러그를 절연시켜 주기위한 비트라인 스페이서로 작용하는 것을 특징으로 하는 반도체 메모리장치.

【청구항 6】

제4항에 있어서, 상기 절연막과 캡핑층은 서로 다른 물질로 이루어지고, 상기 제1방향에서의 캡핑층의 단면길이가 제1방향에서의 상기 비트라인의 단면길이보다 큰 것을 특징으로 하는 반도체 메모리장치.

【청구항 7】

제6항에 있어서, 상기 절연막은 열산화막 또는 고유전막중 하나로 이루어지고, 상기 캡핑층은 질화막으로 이루어지는 것을 특징으로 하는 반도체 메모리장치.

【청구항 8】

반도체 기판상에 형성되고, 게이트 절연막, 게이트 절연물질 및 캡핑층의 적층구조를 갖으며 그의 측벽에 스페이서가 형성된 다수의 게이트와;

상기 게이트사이의 기판을 노출시키는 다수의 SAC 콘택을 구비하는 제1층간 절연막과;

상기 다수의 SAC 콘택에 각각 형성되는 다수의 콘택패드와;

기관전면에 형성되고, 상기 콘택패드중 해당하는 콘택패드를 노출시키는 스토리지 노드콘택과 비트라인콘택을 구비하고, 홈형태의 비트라인패턴을 구비한 제2층간 절연막과;

상기 스토리지 노드콘택에 형성된 스토리지 노드용 콘택플러그와;

상기 비트라인콘택을 통해 상기 콘택패드에 연결되도록, 상기 비트라인패턴에 형성된 다마신 비트라인을 구비하는 것을 특징으로 하는 반도체 메모리장치.

【청구항 9】

반도체 기관상에 형성된 다수의 콘택패드와;

상기 콘택패드사이에 형성된 캡핑층을 구비한 다마신 게이트와;

상기 다마신 게이트의 저면 및 측벽에 형성된 절연막과;

상기 콘택패드와 상기 캡핑층이 노출되도록 기관전면에 형성된 제1층간 절연막과;

기관전면에 형성되고, 상기 콘택패드중 해당하는 콘택패드를 노출시키는 스토리지 노드콘택과 비트라인콘택을 구비하고, 홈형태의 비트라인패턴을 구비한 2층간 절연막과;

상기 스토리지 노드콘택에 형성된 스토리지 노드용 콘택플러그와;

상기 비트라인콘택을 통해 상기 콘택패드에 연결되도록, 상기 비트라인패턴에 형성된 다마신 비트라인을 구비하는 것을 특징으로 하는 반도체 메모리장치.

【청구항 10】

제9항에 있어서, 상기 절연막중 상기 게이트 하부에 형성된 부분과 상기 게이트 측벽에 형성된 부분은 7nm이하의 두께차를 갖으며, 상기 게이트 하부에 형성된 부분은 게

이트 절연막으로 작용하고, 상기 게이트의 측벽에 형성된 부분은 게이트 스페이서로 작용하여 상기 게이트와 콘택패드를 절연시켜주는 것을 특징으로 하는 반도체 메모리장치.

【청구항 11】

다수의 게이트와 다수의 콘택패드를 구비한 반도체 기판을 제공하는 단계와;

기판전면에 층간 절연막을 형성하는 단계와;

상기 층간 절연막을 식각하여 상기 콘택패드중 해당하는 콘택패드를 노출시키는 스토리지노드콘택을 형성하는 단계와;

상기 스토리지노드콘택에 콘택플러그를 형성하는 단계와;

상기 층간 절연막을 식각하여 홈형태의 비트라인패턴을 형성하는 단계와;

상기 콘택패드중 해당하는 콘택패드가 노출되도록 상기 층간 절연막을 식각하여 비트라인콘택을 형성하는 단계와;

상기 비트라인콘택을 통해 상기 콘택패드에 연결되도록, 상기 비트라인패턴에 다마신 비트라인을 형성하는 단계를 구비하는 것을 특징으로 하는 반도체 메모리장치의 제조 방법.

【청구항 12】

제11항에 있어서, 상기 콘택패드와 상기 스토리지 노드용 콘택플러그는 에피택셜 성장된 실리콘막 또는 폴리실리콘막으로 이루어지는 것을 특징으로 하는 반도체 메모리 장치의 제조방법.

【청구항 13】

제11항에 있어서, 상기 게이트는 제1방향으로 길게 연장형성되고, 상기 비트라인은 상기 게이트와 교차하는 제2방향으로 길게 연장형성되며, 상기 스토리지 노드콘택은 그의 저면의 제1 및 제2방향에서의 단면길이가 상기 콘택패드의 제1 및 제2방향에서의 단면길이보다 크게 되도록 형성되는 것을 특징으로 하는 반도체 메모리장치의 제조방법.

【청구항 14】

제13항에 있어서, 상기 비트라인은 상기 비트라인패턴내에 형성된 절연막과; 상기 절연막을 포함한 비트라인패턴내에 채워진 비트라인물질과; 비트라인물질상부에 형성된 캡핑층을 구비하는 것을 특징으로 하는 반도체 메모리장치의 제조방법.

【청구항 15】

제14항에 있어서, 상기 절연막은 상기 비트라인과 스토리지 노드용 콘택플러그를 절연시켜 주기위한 비트라인 스페이서로 작용하는 것을 특징으로 하는 반도체 메모리장치의 제조방법.

【청구항 16】

제14항에 있어서, 상기 절연막과 캡핑층은 서로 다른 물질로 이루어지고, 상기 제1방향에서의 캡핑층의 단면길이가 제1방향에서의 상기 비트라인의 단면길이보다 큰 것을 특징으로 하는 반도체 메모리장치의 제조방법.

【청구항 17】

제16항에 있어서, 상기 절연막은 열산화공정에 의해 산화막을 형성하거나 또는 고유물질을 증착하여 형성하는 것을 특징으로 하는 반도체 메모리장치의 제조방법.

【청구항 18】

제16항에 있어서, 상기 캡핑층을 형성하는 방법은 상기 비트라인패턴내의 상기 절연막과 비트라인물질을 일부분 에치백하는 단계와, 기판전면에 질화막을 증착하는 단계와; 질화막을 CMP하여 캡핑층을 형성하는 단계로 이루어지는 것을 특징으로 하는 반도체 메모리장치의 제조방법.

【청구항 19】

반도체 기판상에 게이트 절연막, 게이트 절연물질 및 캡핑층의 적층구조를 갖는 다수의 게이트를 형성하는 단계와;

기판전면에 제1층간 절연막을 형성하는 단계와;

상기 게이트사이의 기판이 노출되도록 상기 제1층간 절연막을 식각하여 다수의 SAC 콘택을 형성하는 단계와;

상기 다수의 SAC 콘택에 다수의 콘택패드를 형성하는 단계와;

기판전면에 제2층간 절연막을 형성하는 단계와;

제 2층간 절연막을 식각하여 상기 콘택패드중 해당하는 콘택패드를 노출시키는 스토리지노드콘택을 형성하는 단계와;

상기 스토리지노드콘택에 콘택플러그를 형성하는 단계와;

상기 제2층간 절연막을 식각하여 홈형태의 비트라인패턴을 형성하는 단계와;

상기 콘택패드중 해당하는 콘택패드가 노출되도록 상기 제2층간 절연막을 식각하여 비트라인콘택을 형성하는 단계와;

상기 비트라인콘택을 통해 상기 콘택패드와 연결되도록, 상기 비트라인패턴에 다마신 비트라인을 형성하는 단계를 구비하는 것을 특징으로 하는 반도체 메모리장치의 제조 방법.

【청구항 20】

반도체 기판상에 희생 게이트 절연막과 희생게이트를 형성하는 단계와;

상기 희생게이트사이의 노출된 기판상에 콘택패드를 형성하는 단계와;

상기 콘택패드와 희생게이트가 노출되도록 기판전면에 제1층간 절연막을 형성하는 단계와;

상기 희생 게이트 절연막을 포함한 희생게이트를 제거하여 기판을 노출시키는 개구부를 형성하는 단계와;

상기 개구부내에 저면과 측벽에 절연막과 그의 상면에 캡핑층을 구비한 게이트를 형성하는 단계와;

기판전면에 제2층간 절연막을 형성하는 단계와;

제2층간 절연막을 식각하여 상기 콘택패드를 노출시키는 스토리지노드콘택을 형성하는 단계와;

상기 스토리지노드콘택에 콘택플러그를 형성하는 단계와;

상기 제2층간 절연막을 식각하여 상기 게이트와 교차하는 홈형태의 비트라인패턴을 형성하는 단계와;

상기 콘택패드가 노출되도록 상기 제2층간 절연막을 식각하여 비트라인콘택을 형성하는 단계와;

상기 비트라인콘택을 통해 상기 콘택패드에 연결되도록, 상기 비트라인패턴에 다마신 비트라인을 형성하는 단계를 구비하는 것을 특징으로 하는 반도체 메모리장치의 제조 방법.

【청구항 21】

제20항에 있어서, 상기 절연막은 열산화막 또는 고유전막중 하나로 이루어지는 것을 특징으로 하는 반도체 메모리장치의 제조방법.

【청구항 22】

제20항에 있어서, 상기 절연막중 상기 게이트 하부에 형성된 부분과 상기 게이트 측벽에 형성된 부분은 7nm이하의 두께차를 갖으며, 상기 게이트 하부에 형성된 부분은 게이트 절연막으로 작용하고, 상기 게이트의 측벽에 형성된 부분은 게이트 스페이서로 작용하여 상기 게이트와 콘택패드를 절연시켜주는 것을 특징으로 하는 반도체 메모리장치의 제조방법.

【청구항 23】

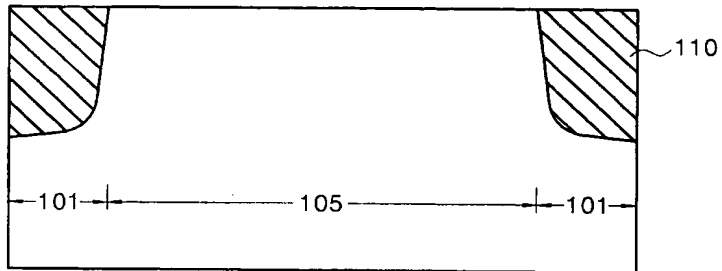
제20항에 있어서, 상기 콘택패드와 스토리지 노드용 콘택플러그는 실리콘막을 선택적 에피택셜 성장시켜 형성하거나 또는 폴리실리콘막을 증착한 다음 CMP하여 형성하는 것을 특징으로 하는 반도체 메모리장치의 제조방법.

【청구항 24】

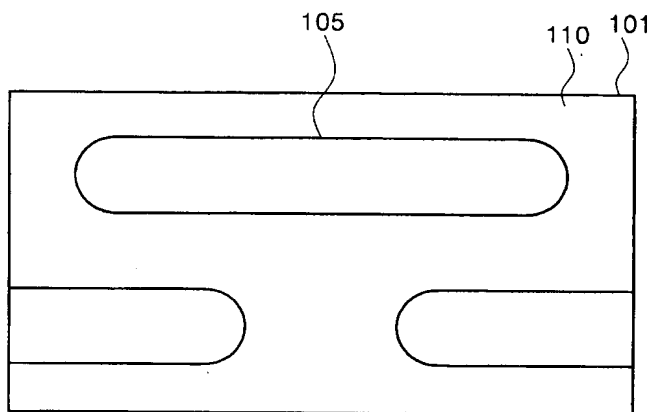
제20항에 있어서, 상기 희생게이트는 질화막으로 이루어지는 것을 특징으로 하는 반도체 메모리장치의 제조방법.

【도면】

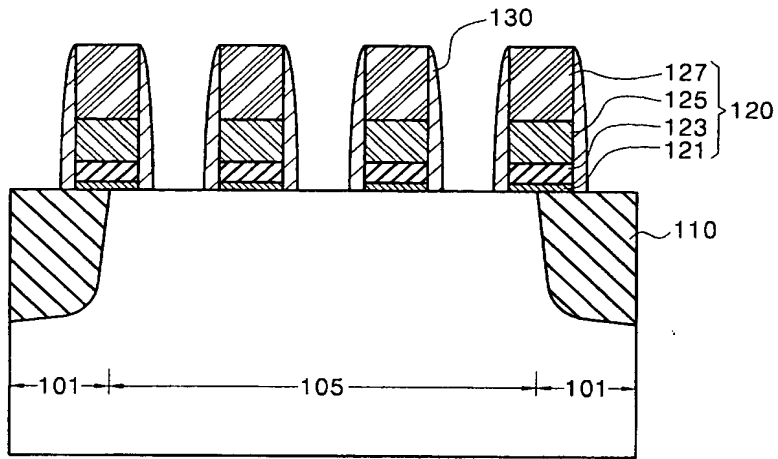
【도 1a】



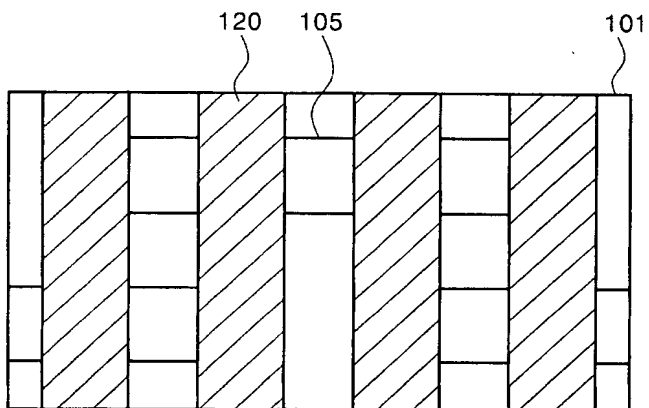
【도 1b】



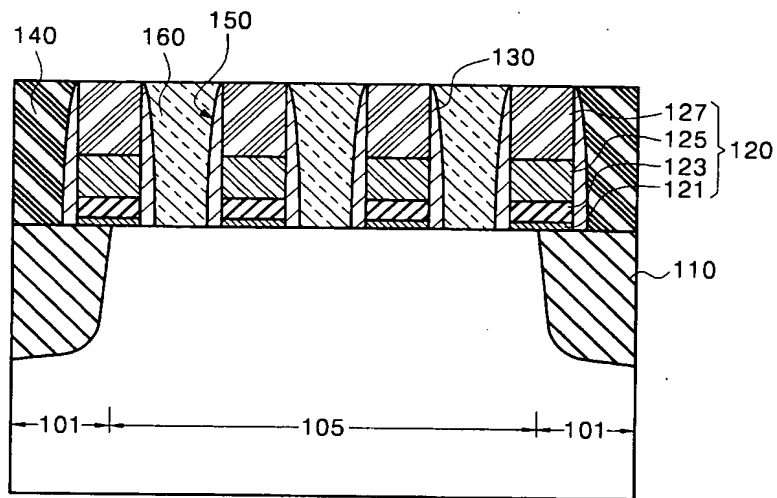
【도 2a】



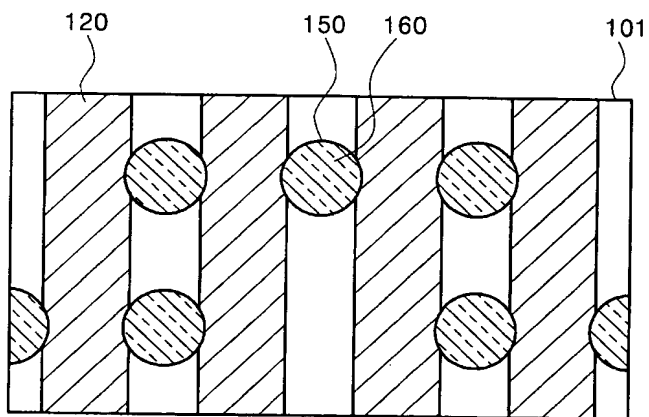
【도 2b】



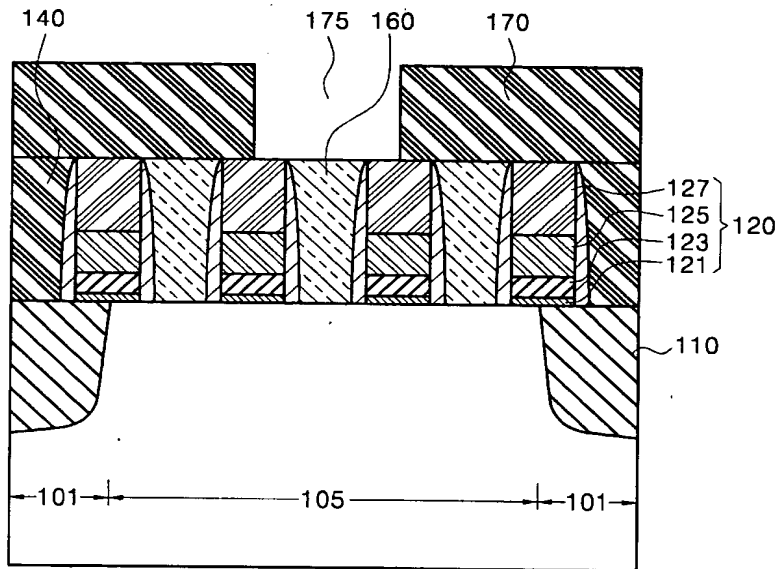
【도 3a】



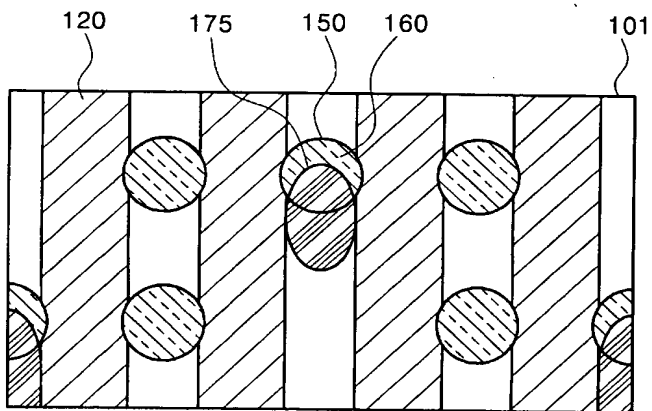
【도 3b】



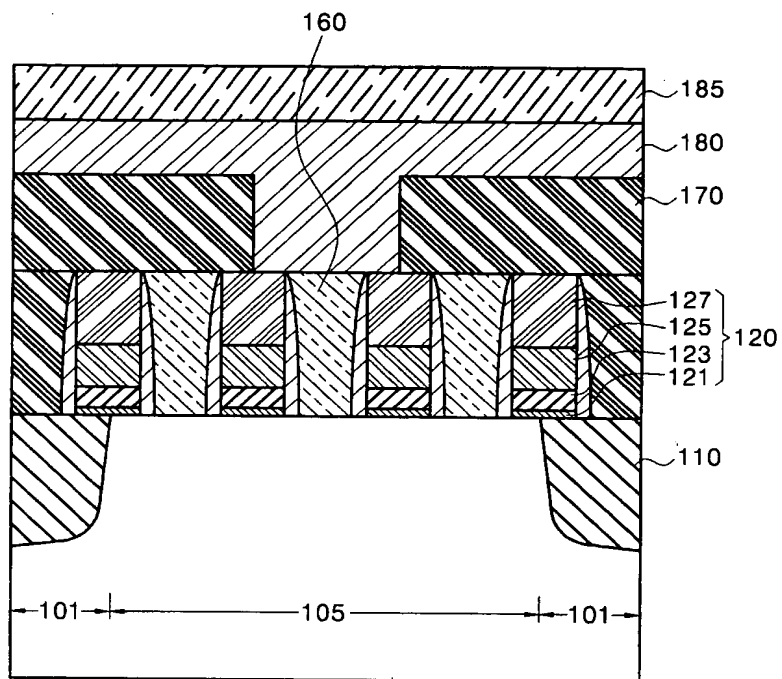
【도 4a】



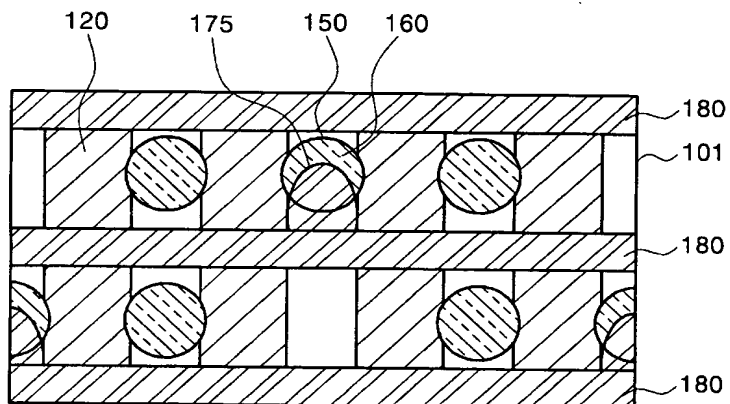
【도 4b】



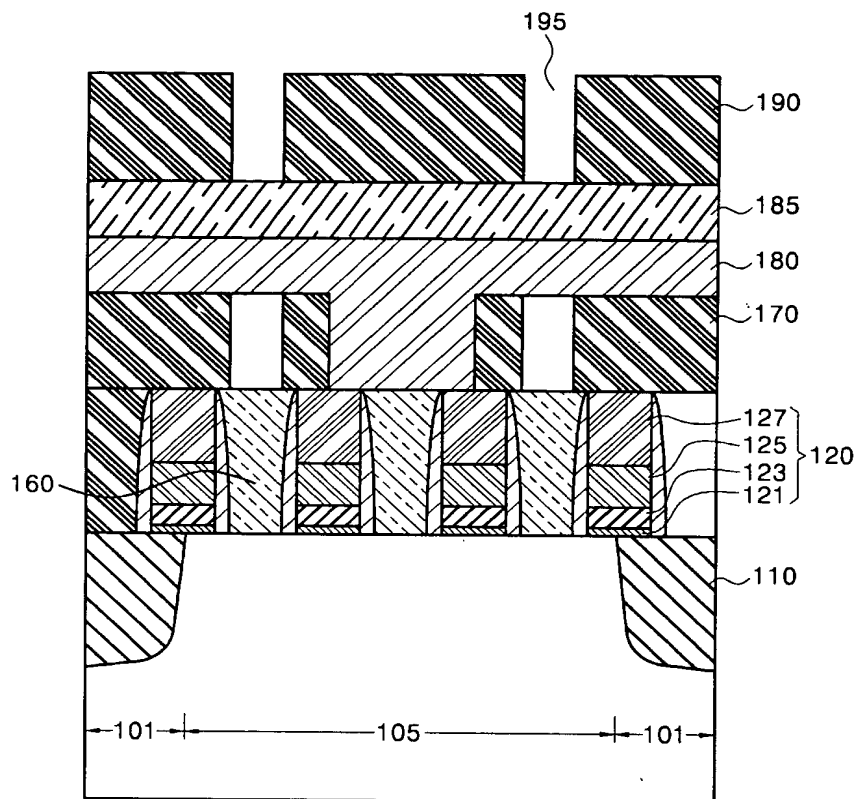
【도 5a】



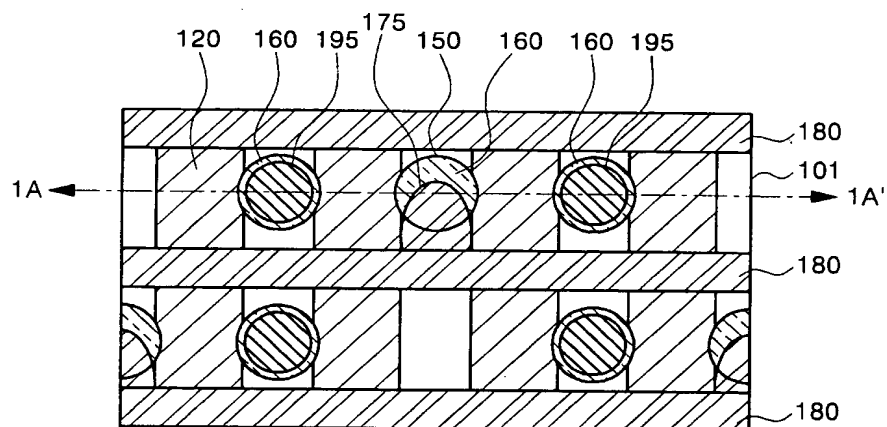
【도 5b】



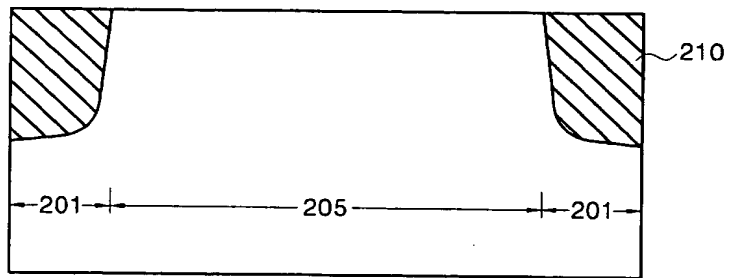
【도 6a】



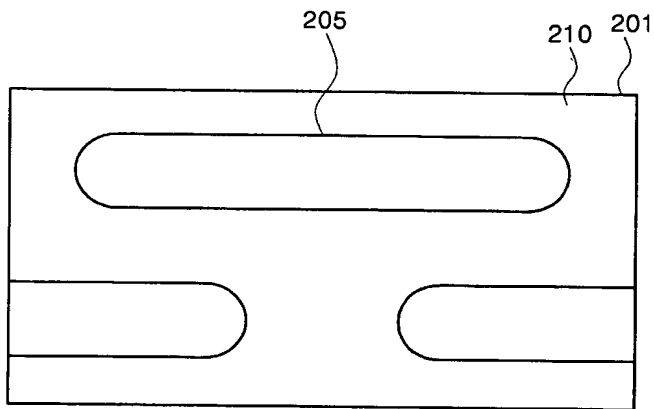
【도 6b】



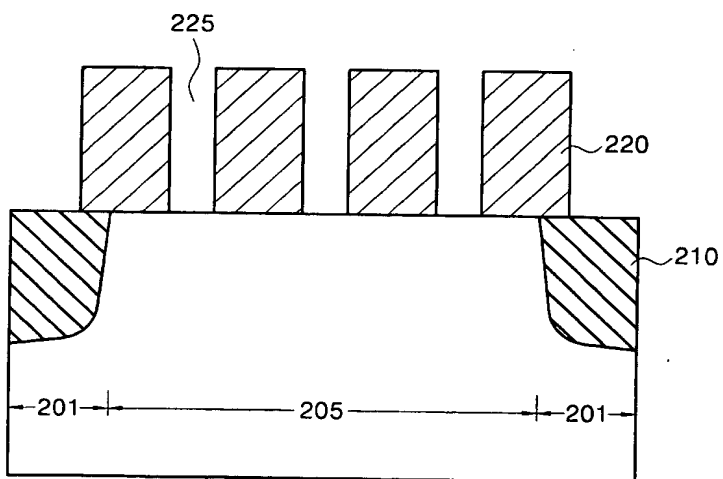
【도 7a】



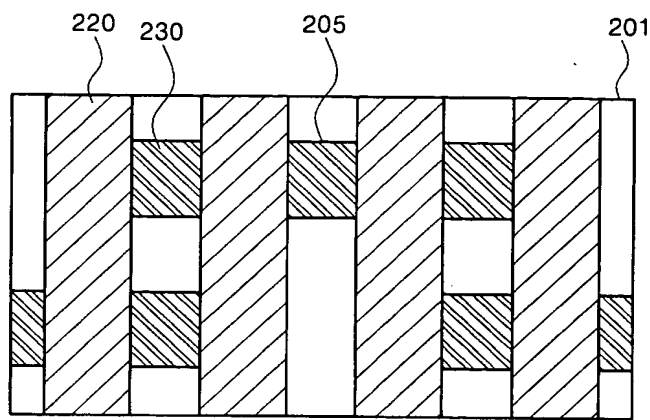
【도 7b】



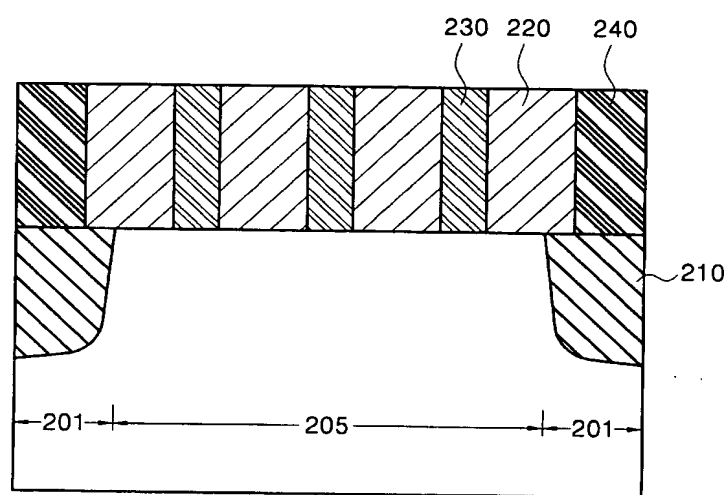
【도 8a】



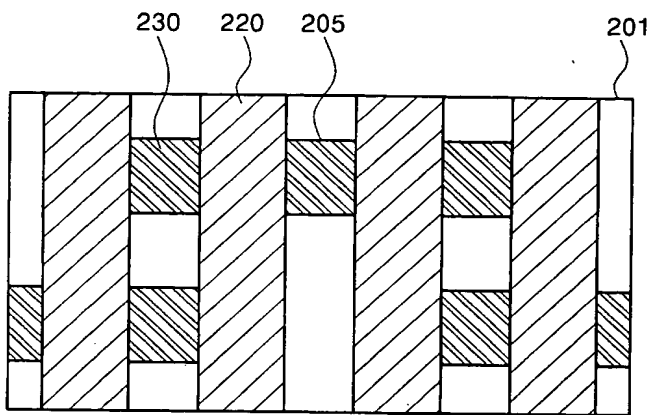
【도 9b】



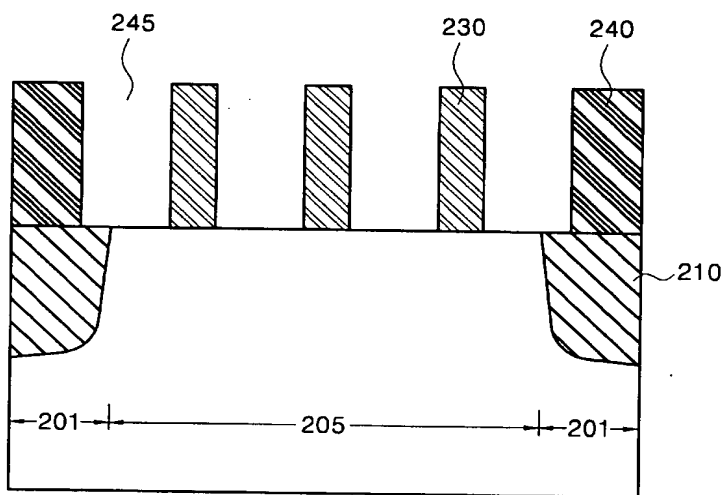
【도 10a】



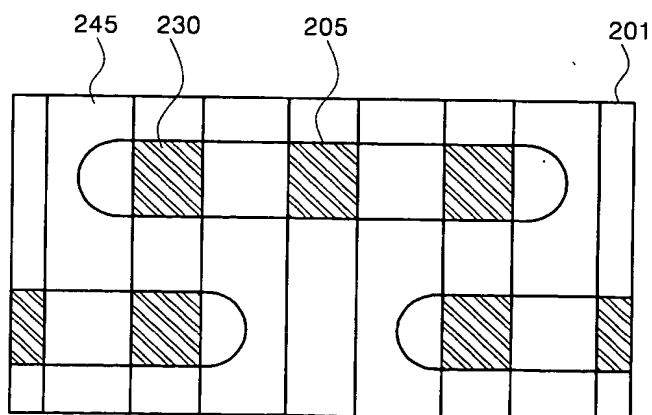
【도 10b】



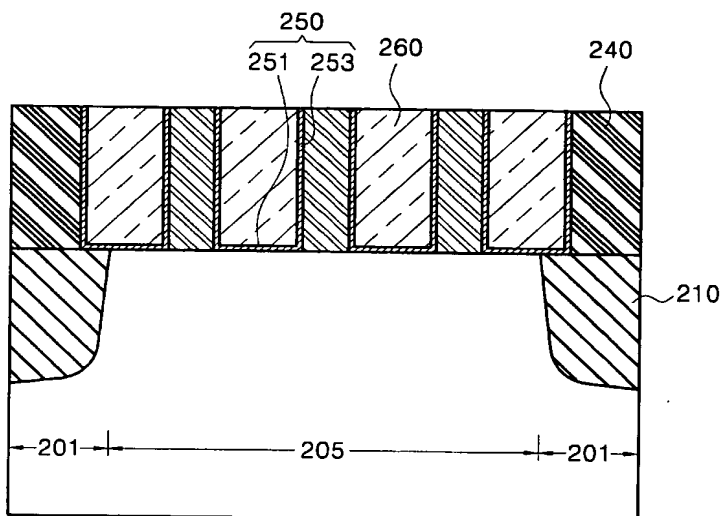
【도 11a】



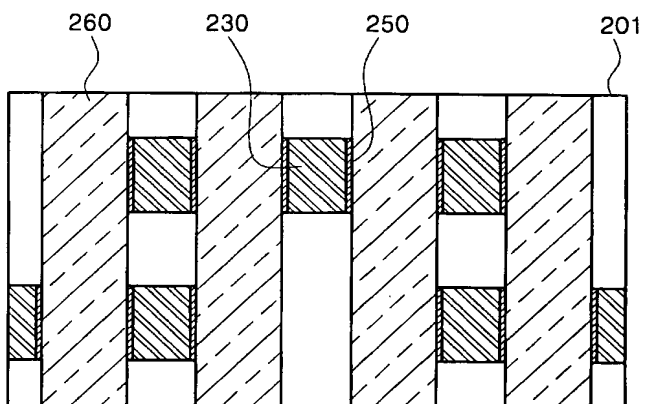
【도 11b】



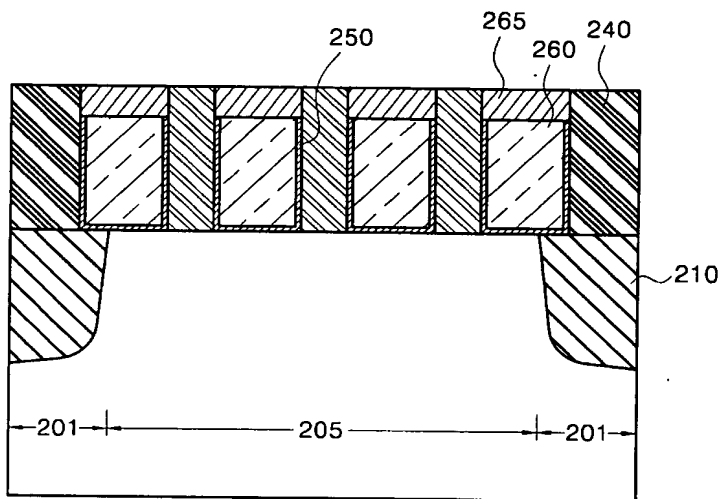
【도 12a】



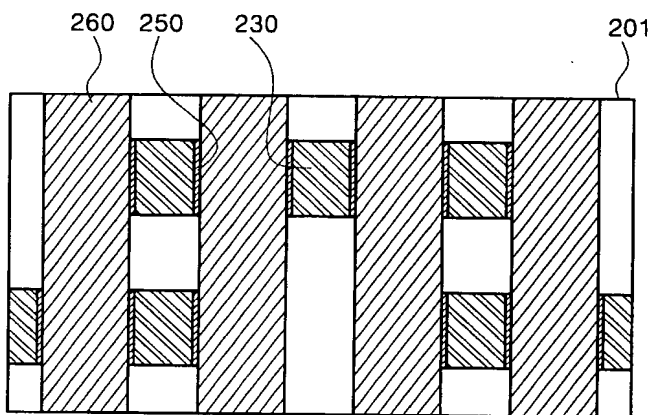
【도 12b】



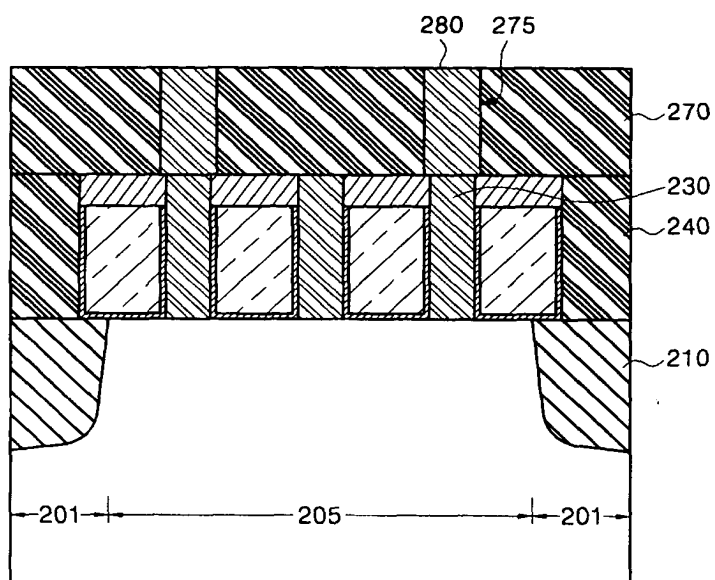
【도 13a】



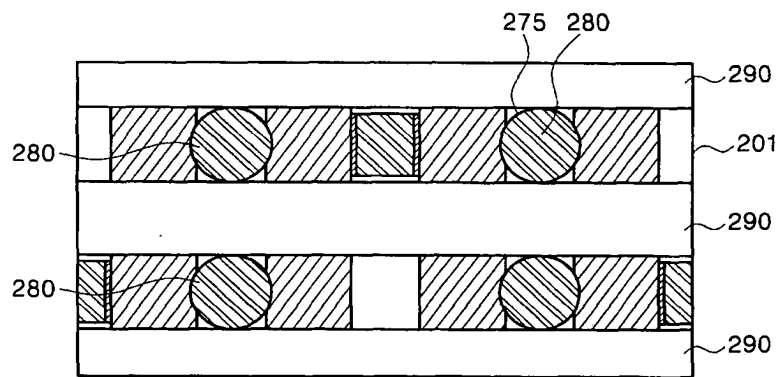
【도 13b】



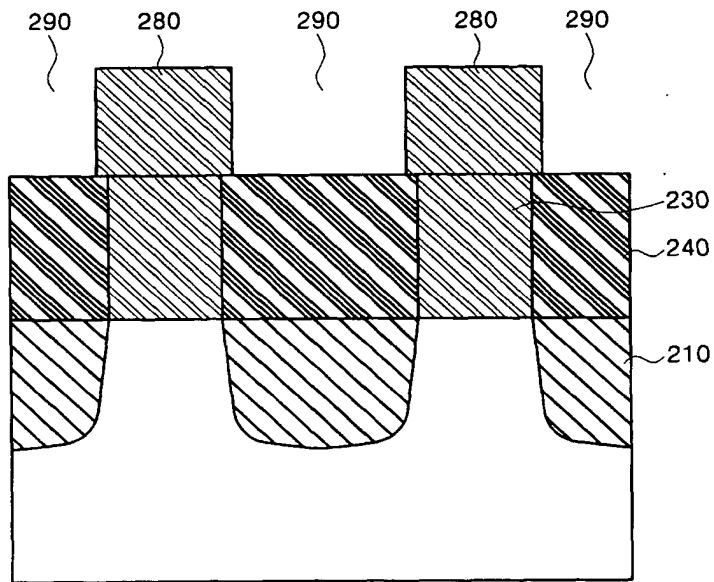
【도 15a】



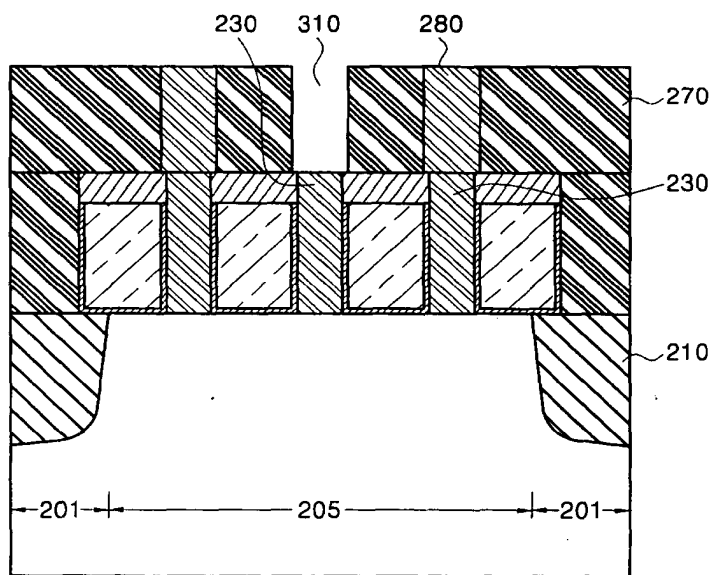
【도 15b】



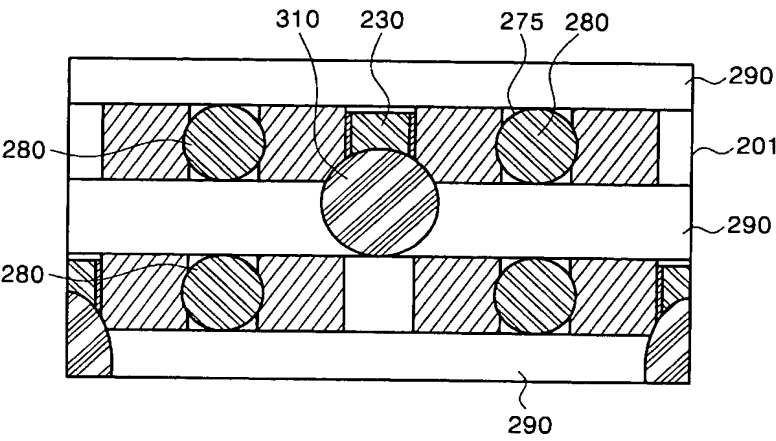
【도 15c】



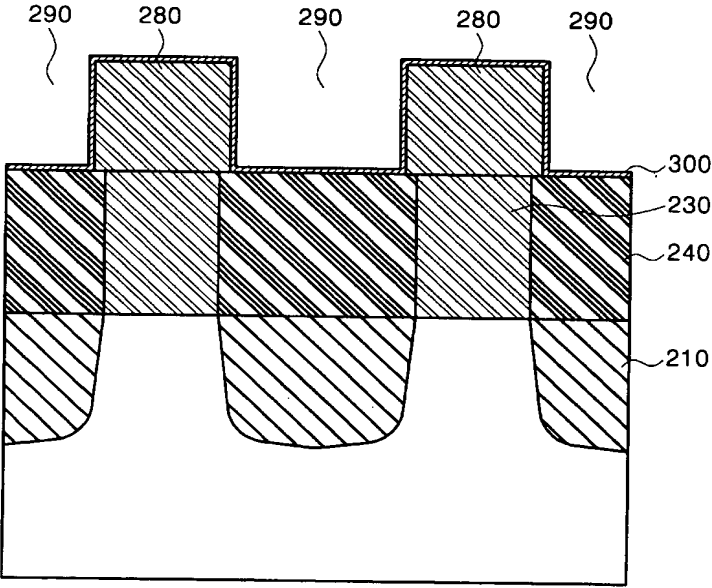
【도 16a】



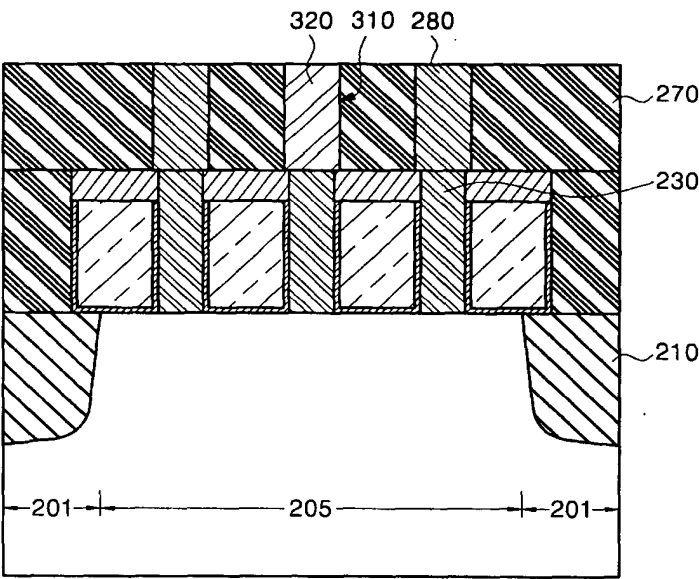
【도 16b】



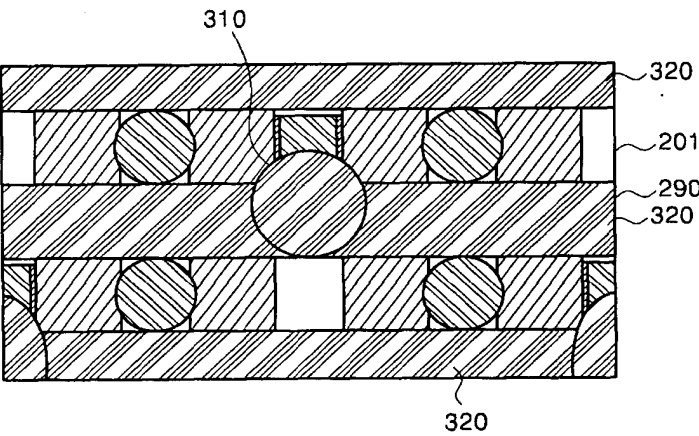
【도 16c】



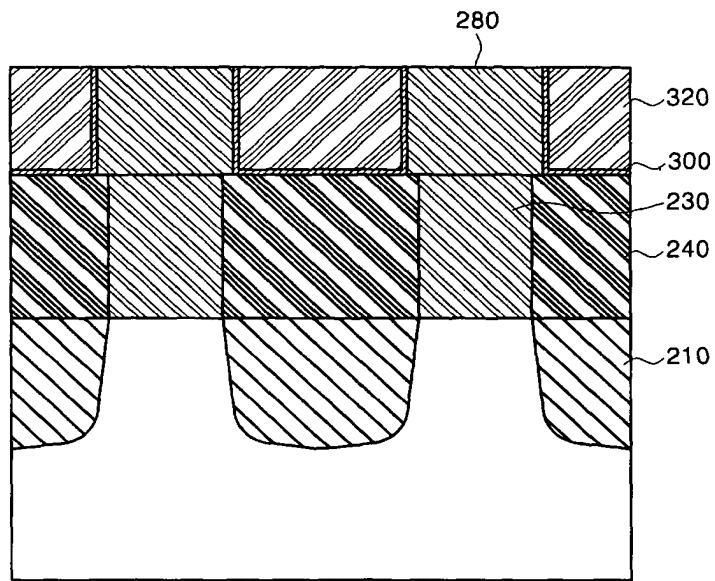
【도 17a】



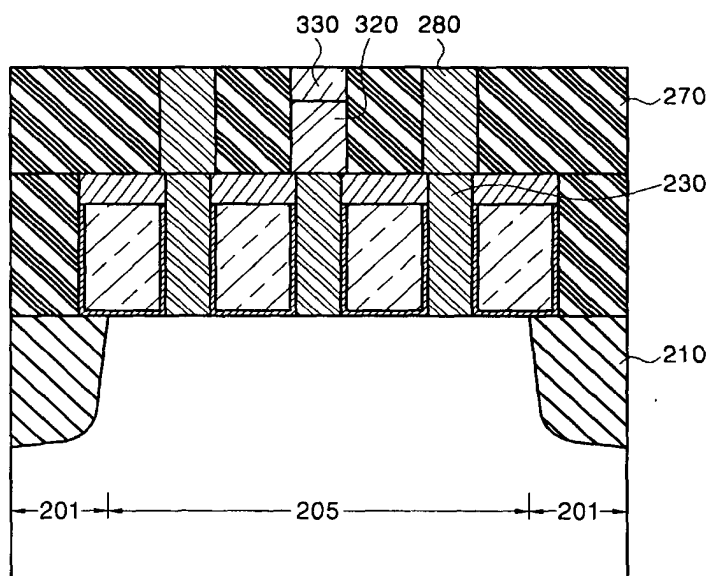
【도 17b】



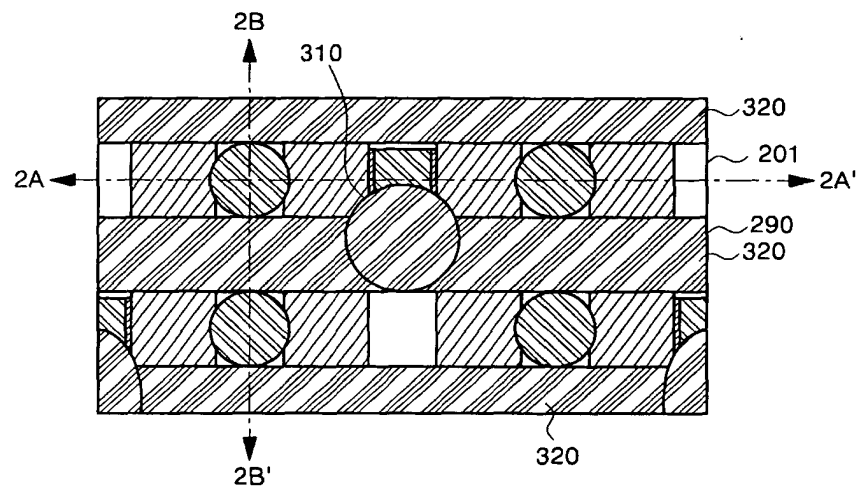
【도 17c】



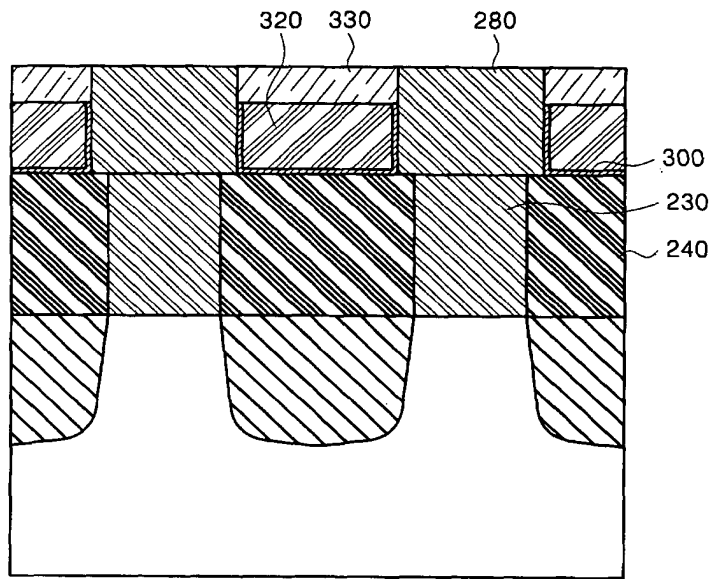
【도 18a】



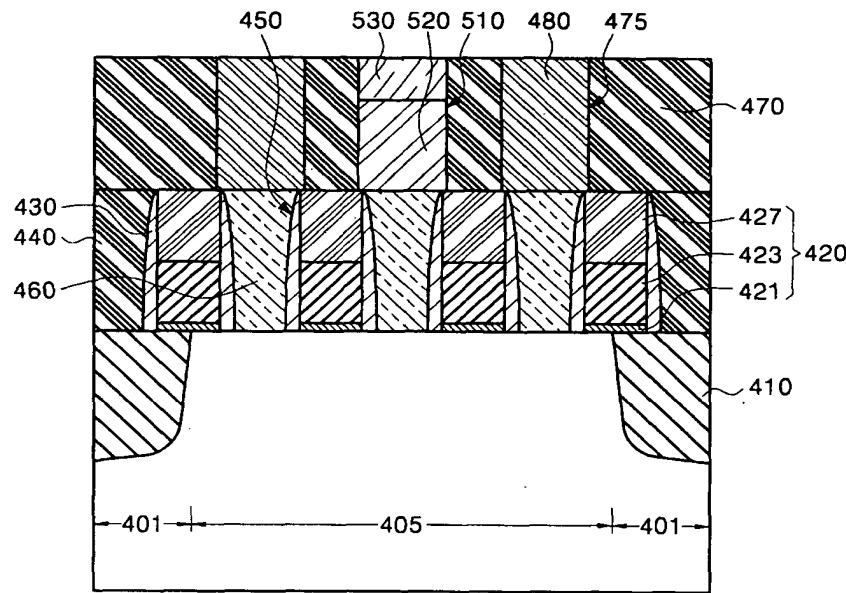
【도 18b】



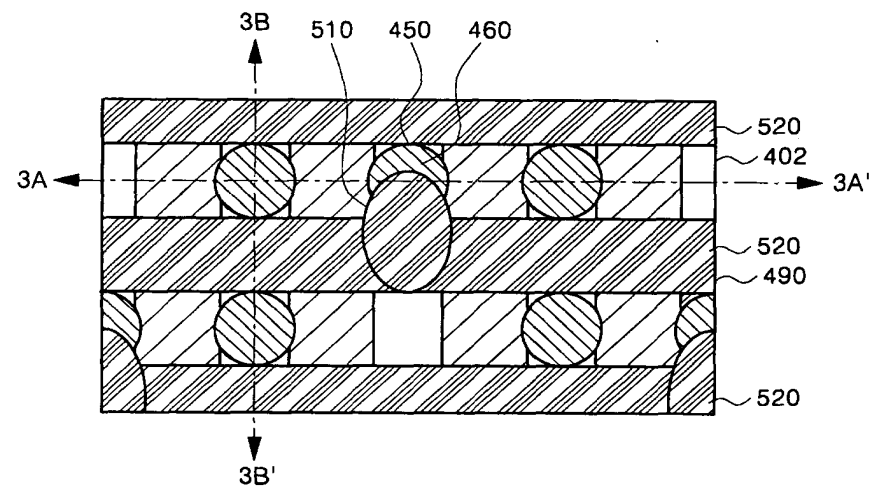
【도 18c】



【도 19a】



【도 19b】





1020020040806

출력 일자: 2003/1/11

【도 19c】

